

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274555

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H05K 3/46

(21)Application number : 2000-086955

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.2000

(72)Inventor : MATSUMURA KENICHI

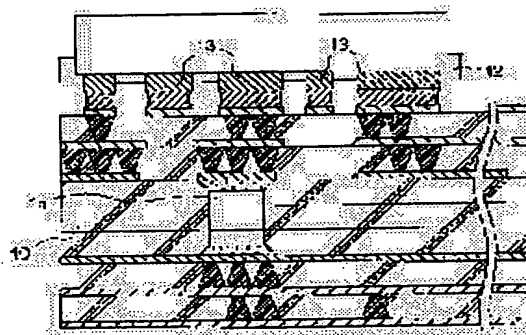
(54) PRINTED WIRING BOARD, BLANK BOARD FOR PRINTED WIRING, SEMICONDUCTOR DEVICE, MANUFACTURING METHOD FOR PRINTED WIRING BOARD AND MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a printed wiring board which is small and on which a passive element such as a bypass capacitor or the like can be arranged and installed near a semiconductor element and to provide a blank board for printed wiring, a semiconductor device, a manufacturing method for the printed-wiring board and a manufacturing method for the semiconductor device.

**SOLUTION:** A through hole 11 in the thickness direction of a board is bored in a core material 10 to be used as a nucleus in the manufacture of a multilayer board. The passive element such as the bypass capacitor 1 or the like is mounted inside the through hole 11 in such a way that both terminals 1a, 1b of it have a direction which faces the opening part of the through hole 11.

Conductor sheets 2, 2' such as copper foils or the like are laminated respectively, and they are pressed while they are being heated. The bypass capacitor 1 is sealed inside the core material 10. Solder pieces 3, 3' which are applied in advance to the terminals 1a, 1b of the passive element 1 are melted. The respective terminals 1a, 1b which are arranged and installed at both ends of the bypass capacitor 1 are soldered respectively to the conductor sheets 2, 2'. By using a core material 10' in which the passive element 1 is buried at the inside, the printed-wiring board can be formed as multilayers, and a semiconductor package 12 is mounted.



## LEGAL STATUS

[Date of request for examination]

23.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274555

(P2001-274555A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 5 K 3/46		H 0 5 K 3/46	Q 5 E 3 4 6
			N

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号 特願2000-86955(P2000-86955)

(22) 出願日 平成12年3月27日(2000.3.27)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 松村 健一

東京都府中市東芝町1番地 株式会社東芝

府中工場内

(74) 代理人 100077849

弁理士 須山 佐一

Fターム(参考) 5E346 AA32 CC40 EE09 EE13 FF45

GG15 GG22 GG24 GG28 HH07

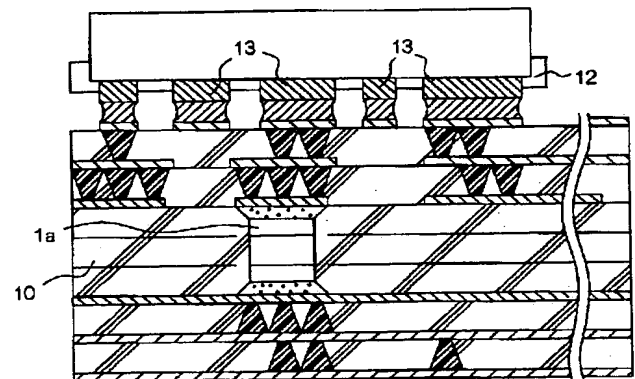
HH31

(54) 【発明の名称】 プリント配線基板、プリント配線用素板、半導体装置、プリント配線基板の製造方法、及び半導体装置の製造方法

(57) 【要約】

【課題】 小型でしかも半導体素子の近くにバイパスコンデンサなどの受動素子を配設することのできるプリント配線基板、プリント配線用素板、半導体装置、プリント配線基板の製造方法、及び半導体装置の製造方法を提供する

【解決手段】 多層板を製造する際の核となるコア材10に基板厚さ方向の貫通孔11を穿孔し、この貫通孔11内にバイパスコンデンサ1等の受動素子をその両端子が貫通孔11の開口部に面する方向にしてマウントし、銅箔等の導体板2、2'をそれぞれ積層し、加熱下にプレスして前記バイパスコンデンサ1をコア材10内に封止すると同時に、前記受動素子1の端子1a、1b上に予め適用されているハンダ3、3'を熔融させてバイパスコンデンサ1の両端に配設された各端子1a、1bをそれぞれ導体板2、2'にハンダ付けする。このように受動素子1が内部に埋設れたコア材10'を用いて多層化したり、半導体パッケージ12を実装する。



## 【特許請求の範囲】

## 【請求項 1】 コア絶縁層と、

前記コア絶縁層の一方の面に積層された第 1 の導体層と、

前記コア絶縁層の他方の面に積層された第 2 の導体層と、

前記第 1 の導体層と接続された第 1 の端子と、前記第 2 の導体層と接続された第 2 の端子とを備え、前記コア絶縁層を横切る方向に埋設された受動素子と、

前記第 1 の導体層の上に積層された第 1 の外側絶縁層と、

前記第 1 の外側絶縁層の上に積層された第 1 の外側配線層と、

前記第 1 の導体層と前記第 1 の外側配線層との間を電氣的に接続する導通部材と、

前記第 2 の導体層の上に積層された第 2 の外側絶縁層と、

前記第 2 の外側絶縁層の上に積層された第 2 の外側配線層と、

前記第 2 の導体層と前記第 2 の外側配線層との間を電氣的に接続する導通部材と、

を具備するプリント配線基板。

【請求項 2】 請求項 1 に記載のプリント配線基板であって、前記受動素子の第 1 の端子が前記第 1 の導体層にハンダ付けされ、第 2 の端子が前記第 2 の導体層にハンダ付けされていることを特徴とするプリント配線基板。

【請求項 3】 請求項 1 に記載のプリント配線基板であって、前記受動素子がバイパスコンデンサであることを特徴とするプリント配線基板。

## 【請求項 4】 コア絶縁層と、

前記コア絶縁層の一方の面に積層された第 1 の導体層と、

前記コア絶縁層の他方の面に積層された第 2 の導体層と、

前記第 1 の導体層と接続された第 1 の端子と、前記第 2 の導体層と接続された第 2 の端子とを備え、前記コア絶縁層を横切る方向に埋設された受動素子と、

を具備するプリント配線用回路素板。

【請求項 5】 請求項 4 に記載のプリント配線用回路素板であって、前記受動素子がバイパスコンデンサであることを特徴とするプリント配線用回路素板。

## 【請求項 6】 コア絶縁層と、

前記コア絶縁層の一方の面に積層された第 1 の導体層と、

前記コア絶縁層の他方の面に積層された第 2 の導体層と、

前記第 1 の導体層と接続された第 1 の端子と、前記第 2 の導体層と接続された第 2 の端子とを備え、前記コア絶縁層を横切る方向に埋設された受動素子と、

前記第 1 の導体層の上に積層された第 1 の外側絶縁層

と、

前記第 1 の外側絶縁層の上に積層された第 1 の外側配線層と、

前記第 1 の導体層と前記第 1 の外側配線層との間を電氣的に接続する導通部材と、

前記第 2 の導体層の上に積層された第 2 の外側絶縁層と、

前記第 2 の外側絶縁層の上に積層された第 2 の外側配線層と、

10 前記第 2 の導体層と前記第 2 の外側配線層との間を電氣的に接続する導通部材と、

前記第 1 の導体層上に配設された半導体パッケージと、前記半導体パッケージの電源端子と前記第 1 の導体層とを電氣的に接続する導通部材と、  
を具備する半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置であって、前記受動素子が前記半導体パッケージの真下に配設されていることを特徴とする半導体装置。

【請求項 8】 請求項 6 又は 7 に記載の半導体装置であって、前記受動素子が複数個配設されていることを特徴とする半導体装置。

【請求項 9】 絶縁性素板を積層してコア材を形成する工程と、

前記コア材に貫通孔を形成する工程と、

前記貫通孔に、両端に第 1 の端子と第 2 の端子を有する受動素子を、前記コア材を横切る方向にマウントする工程と、

前記コア材の第 1 の面及び第 2 の面のそれぞれに、導体板を積層して第 1 の導体層及び第 2 の導体層を形成する工程と、

30 前記コア材を加熱下に加圧して前記受動素子の各端子と前記導体板との間を接続する工程と、

前記第 1 の導体層及び第 2 の導体層をパターンニングしてそれぞれ第 1 のコアパターン層及び第 2 のコアパターン層を形成する工程と、

前記第 1 のコアパターン層と第 2 のコアパターン層上にそれぞれ絶縁性基板及び、導体バンプ群を配設した導体板を積層する工程と、

前記導体板と導体板との間を押圧して前記導体バンプを前記絶縁性基板に貫通させる工程と、

40 前記導体板をパターンニングしてそれぞれ第 1 の外側パターン層及び第 2 の外側パターン層を形成する工程と、

前記第 1 の外側パターン層と半導体パッケージの電源ラインとを接続する工程と、

を具備する半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法であって、前記受動素子の第 1 の端子及び第 2 の端子上にハンダ層又はハンダペースト層が形成されたものであることを特徴とする半導体装置の製造方法。

50 【請求項 11】 請求項 9 に記載の半導体装置の製造方

法であって、前記導体板が、その表面の少なくとも前記受動素子の端子と対向する部分にハンダペースト層を有するものであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はプリント配線基板に係り、更に詳細には基板の厚さ方向に複数の配線パターンが埋設された、いわゆる多層板と呼ばれるプリント配線基板、プリント配線用素板、半導体装置、プリント配線基板の製造方法、及び半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来より、多層板上に半導体素子を載置した半導体装置を製造する場合、半導体素子を駆動する電源電圧を安定化させる必要から、電源ラインと半導体素子との間に「バイパスコンデンサ」と呼ばれる受動素子を介して電氣的に接続する方法が最も一般的に用いられている。

【0003】 このバイパスコンデンサは半導体素子に接続された電源ラインの電圧が一時的に低下した場合に電気を補うことにより半導体素子に印加される電圧を一定に保つことにより電源電圧を安定化させるためのものであるため、基板上のできるだけ半導体素子に近い位置に配設する必要がある。そのため、このようなバイパスコンデンサはプリント配線基板上の半導体素子を実装した位置のすぐ近くに配設されるのが一般的である。

【0004】

【発明が解決しようとする課題】 しかし、電子機器の小型化に伴い、プリント配線基板も小型化することが求められているため、バイパスコンデンサを基板上で半導体素子の近くに配設するスペースが取れないという問題がある。

【0005】 また、バイパスコンデンサを基板上に配設すると、その分基板上面の空き面積が小さくなり、集積度を向上させる妨げになるという問題がある。

【0006】 本発明は上記従来の問題を解決するためになされた発明である。即ち、本発明は、小型でしかも半導体素子の近くにバイパスコンデンサなどの受動素子を配設することのできるプリント配線基板、プリント配線用素板、半導体装置、プリント配線基板の製造方法、及び半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明のプリント配線基板は、コア絶縁層と、前記コア絶縁層の一方の面に積層された第1の導体層と、前記コア絶縁層の他方の面に積層された第2の導体層と、前記第1の導体層と接続された第1の端子と、前記第2の導体層と接続された第2の端子とを備え、前記コア絶縁層を横切る方向に埋設された受動素子と、前記第1の導体層の上に積層された第1

の外側絶縁層と、前記第1の外側絶縁層の上に積層された第1の外側配線層と、前記第1の導体層と前記第1の外側配線層との間を電氣的に接続する導通部材と、前記第2の導体層の上に積層された第2の外側絶縁層と、前記第2の外側絶縁層の上に積層された第2の外側配線層と、前記第2の導体層と前記第2の外側配線層との間を電氣的に接続する導通部材と、を具備する。

【0008】 上記プリント配線基板において、前記受動素子の両端部の第1の端子は第2の端子は、それぞれ前記第1の導体層、前記第2の導体層に電氣的に接続されている。具体的には物理的に接触しているだけでもよいが、第1の導体層、前記第2の導体層にハンダ付けされていることが好ましい。

【0009】 上記プリント配線基板において、前記受動素子の例としては、コンデンサや抵抗体等が挙げられる。

【0010】 また、前記導通部材とは、多層板において層間接続するスルホールメッキや銀ペーストで形成した円錐形の導体バンプを圧入する、いわゆる「B<sup>2</sup> i t」（登録商標）として知られる多層板に用いられるものを使用できる。

【0011】 本発明のプリント配線回路素板は、コア絶縁層と、前記コア絶縁層の一方の面に積層された第1の導体層と、前記コア絶縁層の他方の面に積層された第2の導体層と、前記第1の導体層と接続された第1の端子と、前記第2の導体層と接続された第2の端子とを備え、前記コア絶縁層を横切る方向に埋設された受動素子と、を具備する。

【0012】 上記プリント配線回路素板において、前記受動素子の例として、バイパスコンデンサを挙げることができる。

【0013】 本発明の半導体装置は、コア絶縁層と、前記コア絶縁層の一方の面に積層された第1の導体層と、前記コア絶縁層の他方の面に積層された第2の導体層と、前記第1の導体層と接続された第1の端子と、前記第2の導体層と接続された第2の端子とを備え、前記コア絶縁層を横切る方向に埋設された受動素子と、前記第1の導体層の上に積層された第1の外側絶縁層と、前記第1の外側絶縁層の上に積層された第1の外側配線層と、前記第1の導体層と前記第1の外側配線層との間を電氣的に接続する導通部材と、前記第2の導体層の上に積層された第2の外側絶縁層と、前記第2の外側絶縁層の上に積層された第2の外側配線層と、前記第2の導体層と前記第2の外側配線層との間を電氣的に接続する導通部材と、前記第1の導体層上に配設された半導体パッケージと、前記半導体パッケージの電源端子と前記第1の導体層とを電氣的に接続する導通部材と、を具備する。

【0014】 上記半導体装置において、前記受動素子は前記半導体パッケージの真下に配設されていることが好

ましい。

【0015】また、上記半導体装置において、前記受動素子は複数個配設されていても良い。

【0016】本発明の半導体装置の製造方法は、絶縁性素板を積層してコア材する工程と、前記コア材に貫通孔を形成する工程と、前記貫通孔に、両端に第1の端子と第2の端子を有する受動素子を、前記コア材を横切る方向にマウントする工程と、前記コア材の第1の面及び第2の面のそれぞれに、導体板を積層して第1の導体層及び第2の導体層を形成する工程と、前記コア材を加熱下に加圧して前記受動素子の各端子と前記導体板との間を接続する工程と、前記第1の導体層及び第2の導体層をパターンニングしてそれぞれ第1のコアパターン層及び第2のコアパターン層を形成する工程と、前記第1のコアパターン層と第2のコアパターン層上にそれぞれ絶縁性基板及び、導体パンプ群を配設した導体板を積層する工程と、前記導体板と導体板との間を押圧して前記導体パンプを前記絶縁性基板に貫通させる工程と、前記導体板をパターンニングしてそれぞれ第1の外側パターン層及び第2の外側パターン層を形成する工程と、前記第1の外側パターン層と半導体パッケージの電源ラインとを接続する工程と、を具備する。

【0017】上記半導体装置の製造方法において、前記受動素子は、第1の端子及び第2の端子の上にハンダ層又はハンダペースト層が形成されたものであることが好ましい。

【0018】更に、前記導体板には、その表面の少なくとも前記受動素子の端子と対向する部分にハンダペースト層を有していてもよい。

【0019】また、前記受動素子に塗布するハンダやハンダペースト、コア絶縁層に積層する導体板に塗布するハンダペーストは、プリプレグをプレスする際の熱で溶けないような、いわゆる高融点型ハンダ或いは高融点型ハンダペーストであることが好ましい。

【0020】本発明では、バイパスコンデンサのような半導体素子に近接配置させる必要がある受動素子を半導体素子の真下に当たる位置の基板内部に埋設した構造を採用しているので、部品点数を減らすことができ、電子製品の小型化が可能になる。

【0021】また基板表面に受動素子を配設するスペースを確保する必要がなく、プリント配線基板を小型化することができる。

【0022】

【発明の実施の形態】本発明の実施形態について以下に説明する。

【0023】図1は本発明に係る半導体装置の製造方法のフローを示すフローチャートであり、図2～図14は同方法の製造工程の状態を図示した垂直断面図である。

【0024】図2に示したように、まず、絶縁材料基板のプリプレグ（以下、単に「プリプレグ」という。）を

複数枚、例えば3枚積層し、コア絶縁層として、「コア材」と呼ばれる多層板の核となる基板を形成する（ステップ1）。

【0025】このコア材（コア絶縁層）10は単にプリプレグを重ね、比較的低い温度を加えただけのものであり、プリプレグを構成する樹脂は完全には硬化していない状態のものである。

【0026】次に、図3に示すようにこのコア材10の所定の位置に例えばドリル、打抜きプレス、レーザー光線等を用いて貫通孔11を形成する（ステップ2）。

【0027】次いで図4に示すように、こうして形成した貫通孔11内に受動素子例えばバイパスコンデンサ1をその両端子がコア材10の第1の面と第2の面にそれぞれ向くようにコア材を横切る方向、即ち図中縦型にしてマウントする（ステップ3）。

【0028】なお、このときバイパスコンデンサ1の両端子1a、1bは予め高融点型ハンダ3、3'で表面を覆っておく。或いは、両端子1a、1b表面に高融点ハンダを含むハンダペーストを塗布しておいてもよい。

【0029】次に、図5に示すように、前記コア材10とは別個に、前記コア材10と同じ大きさの銅箔などの薄い導体板2、2'を用意し、これらの導体板2、2'を前記コア材10の各面に1枚ずつ重ねる（ステップ4）。

【0030】この状態でこれら導体板2、2'をコア材10の方向に加熱下にプレスする（ステップ5）。

【0031】このプレス時の熱により貫通孔11内にマウントされたバイパスコンデンサ1両端の端子1a、1bを覆っているハンダ3、3'が溶けて導体板2、2'に各端子1a、1bがハンダ付けされる。

【0032】また、プレス時の熱と圧力とによりコア材10の樹脂が軟化して貫通孔11内壁とバイパスコンデンサ1との間の隙間を埋めこみ、硬化される。その結果、図6に示したようにコア材10の厚さ方向にコンデンサ1が埋設され、コア材10との隙間が樹脂で埋められ、コンデンサ1と導体板2、2'との隙間がハンダ3、3'で埋められてしっかりと内部に固定された回路素板（又は素子内蔵コア材）10'が形成される。なお、回路素板10'を製品として得る場合にはこのステップ5で終了する。

【0033】一方、この回路素板10'を用いて更に多層化する場合には、図7に示すように、回路素板10'両面の導体板2、2'を例えばエッチングなどを用いてパターンニングして（ステップ6）第1のパターン層2aや第2のパターン層2bを得る。

【0034】回路素板10'の上に更に多層化する場合には、上記第1のパターン層2aや第2のパターン層2bの上に更に絶縁層と導体層とを形成する。

【0035】即ち、図8に示すように、銅箔などの薄い導体板4を用意し、この上に例えば印刷技術により銀ベ

ーストを用いて略円錐形の導体バンプ群5, 5, …を形成する(ステップ7)。

【0036】同様に薄い導体板4'を用意し、この上に略円錐形の導体バンプ群5', 5', …を形成する。

【0037】しかる後に前記回路素板10'の両面にプリブレグ6, 6'をそれぞれ介して前記導体バンプ群5, 5, …や導体バンプ群5', 5', …を形成した導体板4, 4'をそれぞれ積層する(ステップ8)。

【0038】この状態で加熱下にプレスすると(ステップ9)、図9に示すように、導体バンプ群5, 5, …が絶縁性基板6を貫通し、同様に導体バンプ群5', 5', …が絶縁性基板6'を貫通して多層化される。

【0039】次いで図10に示すように、最も外側の導体板4, 4'をパターンニングする(ステップ10)。

【0040】更に同様に、図11に示すように、銅箔などの薄い導体板7を用意し、この上に略円錐形の導体バンプ群8, 8, …を形成する(ステップ11)。

【0041】同様に薄い導体板7'を用意し、この上に略円錐形の導体バンプ群8', 8', …を形成する。

【0042】しかる後にパターン層4a, 4a'の両面にプリブレグ9, 9'をそれぞれ介して前記導体バンプ群8, 8, …や導体バンプ群8', 8', …を形成した導体板7, 7'をそれぞれ積層する(ステップ12)。

【0043】この状態で加熱下にプレスすると(ステップ13)、図12に示すように、導体バンプ群8, 8, …がプリブレグ9を貫通し、同様に導体バンプ群8', 8', …がプリブレグ9'を貫通して多層化される。

【0044】こうして得た多層板中間製品の最外層の導体板7, 7'を図13に示すように、それぞれパターンニングして(ステップ14)配線層7, 7aを得る。

【0045】しかる後に図14に示すように、配線層7の上に半導体パッケージ12をセットし、この半導体パッケージ12の端子13, 13, …を配線層7に例えばハンダ付けして半導体素子の実装を行なう(ステップ15)。

【0046】このハンダ付けの際に半導体パッケージ12の端子13, 13, …のうち、電源ラインと接続するものをハンダ付けする際に、前記バイパスコンデンサ1の端子1aと接続するようにハンダ付けする。こうすることにより、バイパスコンデンサ1を介して電源ラインと半導体パッケージ12とが適切に接続される。

【0047】以上説明したように、本実施形態に係る半導体装置では、コア材10の内部にバイパスコンデンサ1を埋設し、その上側にあたる基板上に半導体パッケージ12を載置し、前記バイパスコンデンサ1と前記半導体パッケージ12の端子13, 13, …とを接続する際に、電源ラインと端子13, 13, …との間にバイパスコンデンサを介して接続するようにハンダ付けする。

【0048】このように、本実施形態に係る半導体装置では、バイパスコンデンサのような半導体素子に近接配

置させる必要がある受動素子を半導体素子の真下にあたる位置の基板内部に埋設した構造を採用しているため、部品点数を減らすことができ、電子製品の小型化が可能になる。

【0049】また基板表面に受動素子を配設するスペースを確保する必要がなく、プリント配線基板を小型化することができる。

【0050】更に電源ライン等のプレーンの間にコンデンサチップを介在させた場合、電源が安定し、半導体装置の信頼性が向上する。

【0051】特に現在主流となりつつあるBGA(ボールグリッドアレイ)やCSP(チップサイズパッケージ)では、バイパスコンデンサを半導体素子の電源供給パッド近くの基板上に配設することは基板表面のスペース上不可能であるが、本発明のように構成すればバイパスコンデンサを基板内部に埋設するので、半導体素子の電源供給パッド近くに配設することが可能となる。

【0052】また、半導体装置を設計する際においても、従来のようにバイパスコンデンサまで太いパターンの配線を形成させる必要がなくなるので、設計の自由度が増して設計し易くなる。

【0053】更に、電源供給部分にバイパスコンデンサを配設できるので、半導体装置の特性が大幅に向上する。特にBGAやCSP等の狭ピッチSMD(サーフェスマウントデバイス)においては改良効果が顕著である。

【0054】また、受動素子と導体板との間をハンダ付けする場合には、単なる機械的な圧力による接触ではなく、溶融したハンダにより広い面積で電気的に接続されているので、確実な接続が形成され、半導体装置の信頼性が向上する。

【0055】更に本実施形態で説明した製造方法によれば、従来のプリント配線基板の製造設備を殆どそのまま利用できるので、容易に製造することができる。

【0056】また、埋設された受動素子が加熱プレスにより周囲のプリブレグの樹脂が流れてきて受動素子と貫通孔との間の隙間を埋めて固めるため、しっかりと固定され、信頼性が向上する。

【0057】更に、本実施形態では、受動素子をコア材の厚さ方向に向けて両端の端子が導体板と対向するようにマウントする。ここで多層板では電源をレイヤで分けることが多いので、その電源間にコンデンサ等の受動素子を埋設することにより電源が安定し、信頼性の高い半導体装置を得ることができる。

【0058】同様に、受動素子をコア材の厚さ方向にマウントするので、受動素子両端の各端子を無理無く基板の導体層に接続することができる。また、異なるプレーンへの接続が可能となるので、バイパスコンデンサ等にも非常に有効に適用できるとともに、他の層への接続が部品を介して行なうことができ、チップ抵抗を用いた終

端の役割をさせることも可能である。

【0059】更に、本実施形態で説明した製造方法によれば、従来法のように抵抗体の印刷部分が形成されていないので、市販の受動素子をそのまま利用でき、あらゆる種類の抵抗やコンデンサ等のチップ部品を基板内部に埋設できる。また、その精度も非常に高い特性を発揮させることができる。

【0060】(第2の実施の形態)以下、本発明に係る第2の実施形態について説明する。本実施形態のうち、上記第1の実施形態と重複する内容については説明を省略する。

【0061】本実施形態では、図16に示すように半導体パッケージ12の下にあたる位置の基板の内部に複数の受動素子C1、C2、Rを埋設した。

【0062】このように本実施形態では、複数の受動素子を基板内部に埋設した構造となっているので、半導体装置の集積度をより高くすることができ、半導体装置の小型化に貢献できる。

【0063】なお、本発明は上記実施形態の記載内容に限定されるものではない、例えば、上記実施形態では受動素子1の両端子1a、1b上に予め適用したハンダ3、3'を利用して導体層2、2'にハンダ付けする構成としたが、導体層2、2'の表面全体或いは受動素子1の両端子1a、1bと対向する部分の表面にハンダペーストを塗布してから積層、プレスすることによりハンダ付けするようにしてもよいし、単に圧接して物理的に接触させるだけでもよい。

#### 【0064】

【発明の効果】本発明によれば、基板の中心にあたるコア材の中にバイパスコンデンサ等の受動素子を埋設しているので、基板表面に配設する部品点数が削減でき、それにより半導体装置、更にはこの半導体装置を用いる電子製品を小型化することができる。

【0065】また、電源ライン等のプレーンの間にコンデンサチップを介在させた場合、電源が安定し、半導体装置の信頼性が向上する。

【0066】特に現在主流となりつつあるBGAやCSPでは、バイパスコンデンサを半導体素子の電源供給パッド近くの基板表面に配設することは基板表面のスペース上不可能であるが、本発明のように構成すればバイパスコンデンサを基板内部に埋設するので、半導体素子の電源供給パッド近くに配設することが可能となる。

【0067】また、半導体装置を設計する際においても、従来のようにバイパスコンデンサまで太いパターンで配線を形成させる必要がなくなるので、設計の自由度が増して設計し易くなる。

【0068】更に、電源供給部分にバイパスコンデンサを配設できるので、半導体装置の特性が大幅に向上する。特にBGAやCSP等の狭ピッチSMDにおいては改良効果が顕著である。

【0069】また、受動素子と導体板との間をハンダ付けする場合には、単なる機械的な圧力による接触ではなく、溶融したハンダにより広い面積で電気的に接続されているので、確実な接続が形成され、半導体装置の信頼性が向上する。

#### 【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法のフローを示すフローチャートである。

【図2】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図3】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図4】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図5】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図6】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図7】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図8】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図9】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図10】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図11】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図12】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図13】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図14】本発明に係る半導体装置の製造方法の各製造工程を図示した垂直断面図である。

【図15】本発明に係る半導体装置の変形例を図示した垂直断面図である。

#### 【符号の説明】

10…コア材(コア絶縁層)、

2…導体板、

2'…導体板、

1…バイパスコンデンサ、

6…ブリブプレグ、

6'…ブリブプレグ、

4…導体板、

4'…導体板、

5…導体バンブ、

5'…導体バンブ、

7…導体板、

7'…導体板、

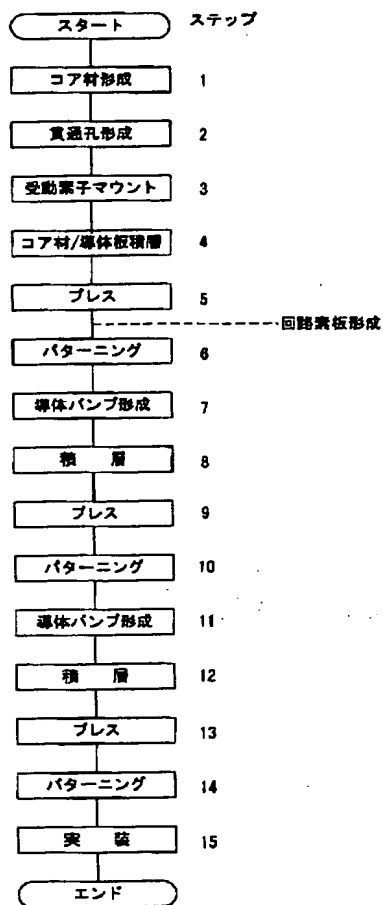
8…導体バンブ、



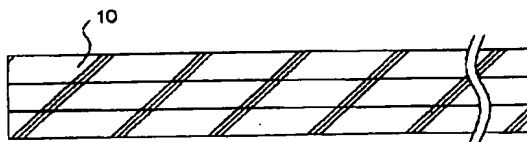
8'...導体バンプ、  
9...導体板、  
9'...導体板、

12...半導体パッケージ、  
13...端子。

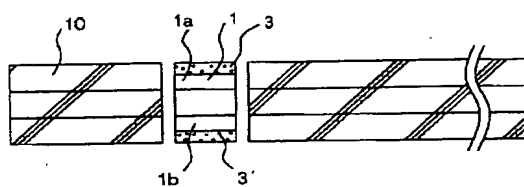
【図1】



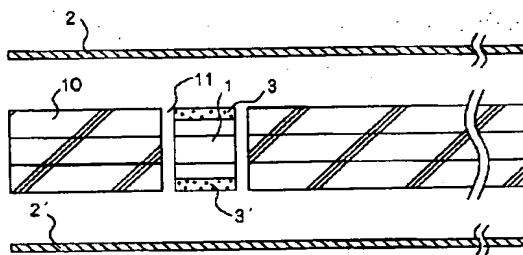
【図2】



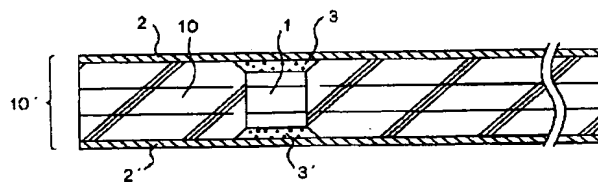
【図4】



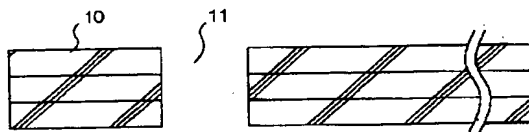
【図5】



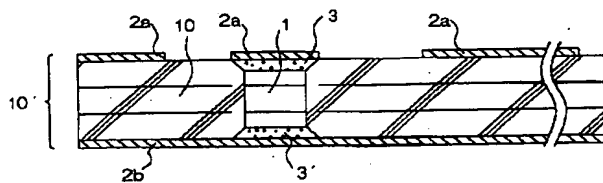
【図6】



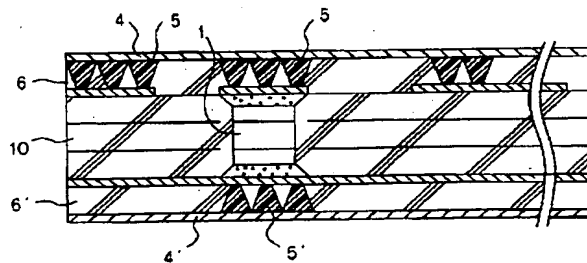
【図3】



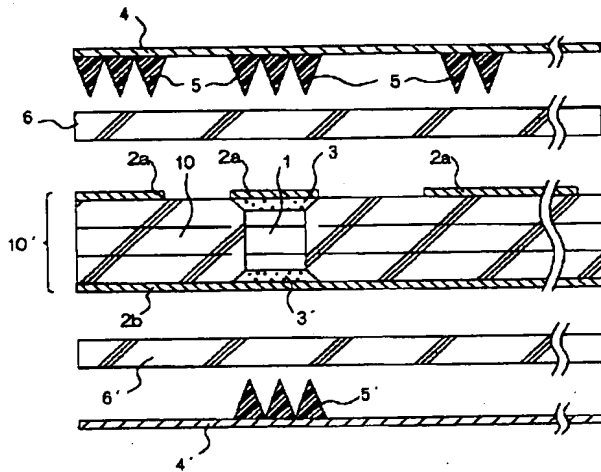
【図7】



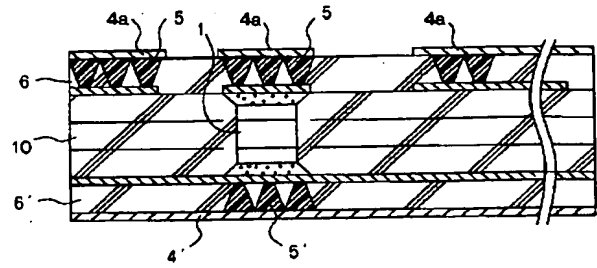
【図9】



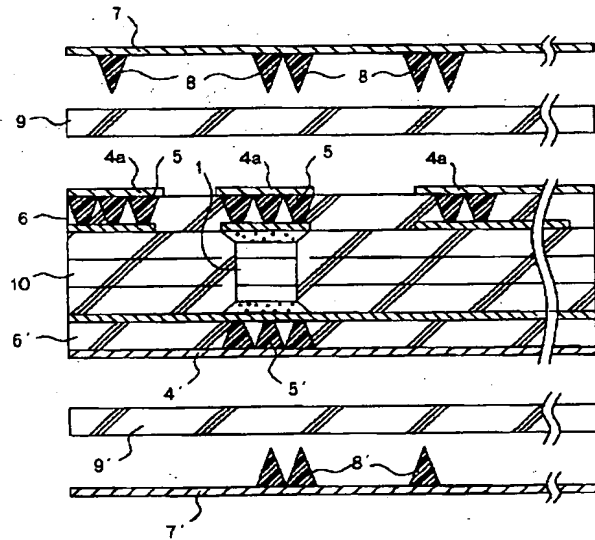
【図8】



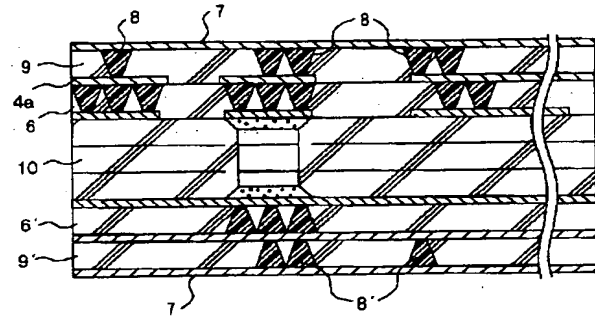
【図10】



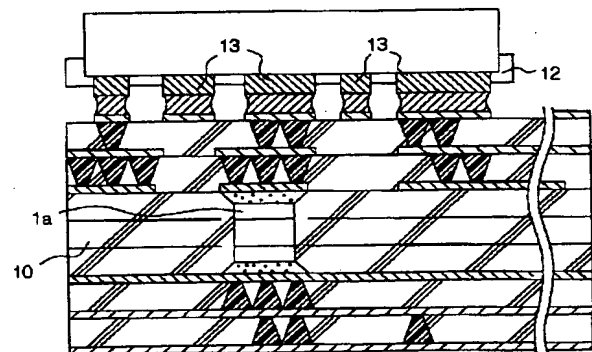
【図11】



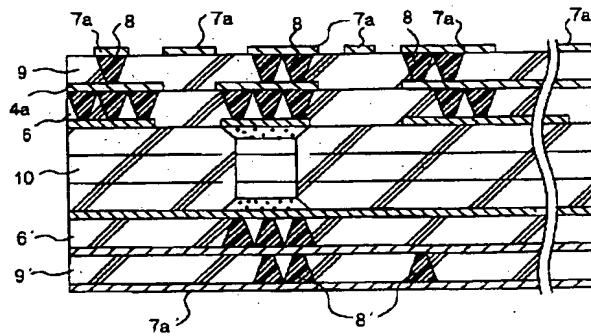
【図12】



【図14】



【図13】



【図15】

